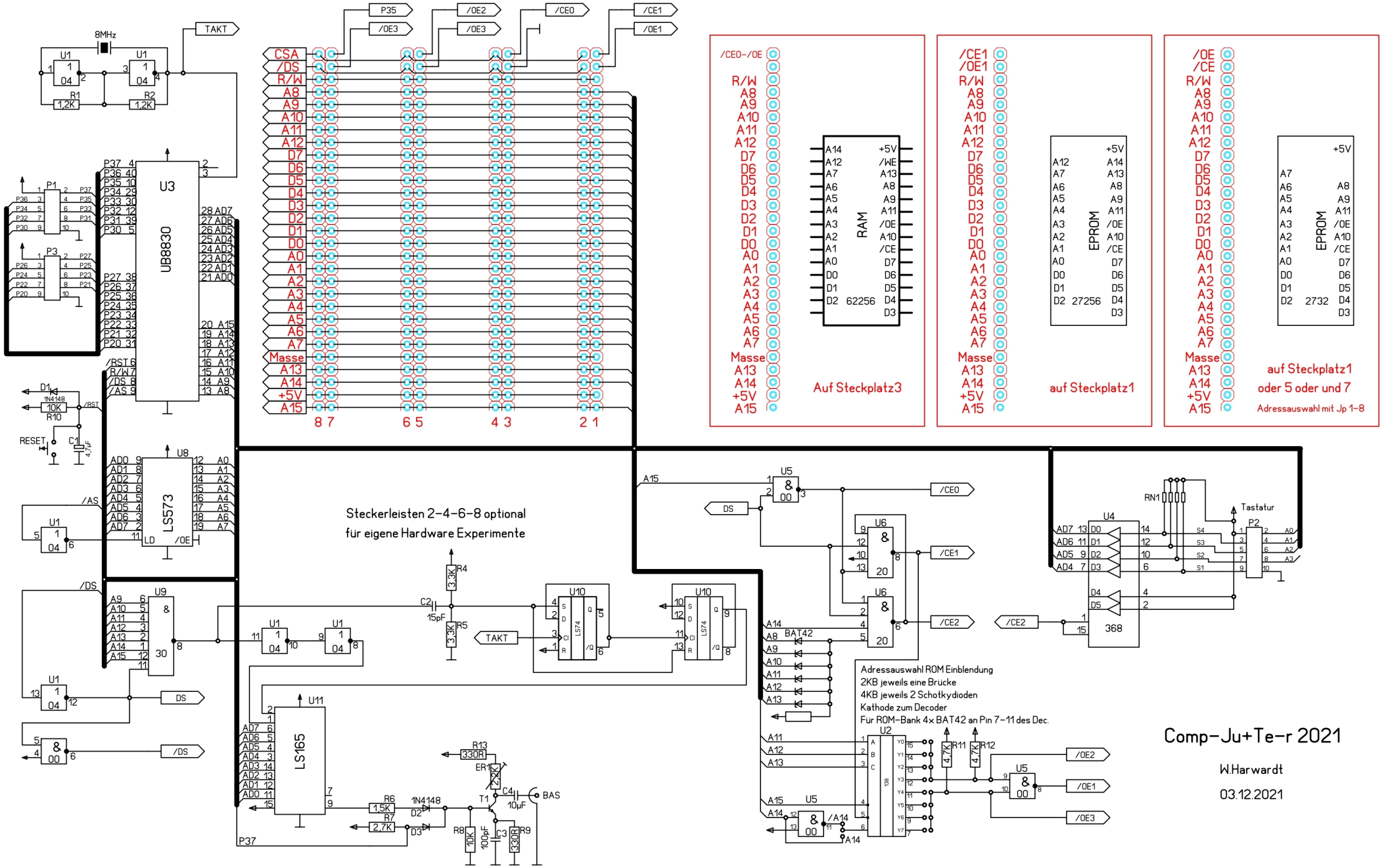
8MHz
TAKT
U1
04
R1
1,2K
R2
1,2K
U3
UB8830
P1
P3
/RST
R/W
/DS
/AS
D1
1N4148
10K
R10
/RST
RESET
C1
4,7µF
U8
LS573
AD0
AD1
AD2
AD3
AD4
AD5
AD6
AD7
LD
/OE
/AS
/DS
U9
30
DS
U11
LS165
P37
P35
/OE2
/OE3
/CE0
/CE1
/OE1
CSA
/DS
R/W
A8
A9
A10
A11
A12
D7
D6
D5
D4
D3
D2
D1
D0
A0
A1
A2
A3
A4
A5
A6
A7
Masse
A13
A14
+5V
A15
8 7
6 5
4 3
2 1
/CE0-/OE
Auf Steckplatz3
RAM
62256
/CE1
/OE1
auf Steckplatz1
EPROM
27256
/OE
/CE
auf Steckplatz1
oder 5 oder und 7
Adressauswahl mit Jp 1-8
2732
Steckerleisten 2-4-6-8 optional
für eigene Hardware Experimente
R4
3,3K
C2
15pF
R5
3,3K
TAKT
U10
LS74
R13
330R
ER1
2,2K
C4
10µF
BAS
T1
R6
1,5K
1N4148
D2
R7
2,7K
D3
R8
10K
100pF
C3
R9
330R
U5
00
U6
20
/CE0
/CE1
/CE2
BAT42
U2
138
R11
4,7K
R12
4,7K
/OE2
/OE1
/OE3
A14
A15
RN1
Tastatur
P2
U4
368
Adressauswahl ROM Einblendung
2KB jeweils eine Brücke
4KB jeweils 2 Schotkydioden
Kathode zum Decoder
Für ROM-Bank 4x BAT42 an Pin 7-11 des Dec.
Comp-Ju+Te-r 2021
W.Harwardt
03.12.2021